

磁阻式隨機存取記憶體技術的發展 —現在與未來

文/葉林秀、李佳謀、徐明豐、吳德和

一、前言

1988年由Baibich等人發現巨磁阻(Giant Magnetoresistance: GMR)^[1]的特性時，一開始之研究中發現在室溫下巨磁阻的磁電阻變化並不大，且必須在很低的溫度下才能夠有較大的磁電阻變化，因而其實用性並不大。而此研究中的巨磁阻結構主要是由兩層鐵磁性金屬層(ferromagnetic metals)中間夾一層金屬層所構成，在無外加磁場下鐵磁膜間的磁矩是反鐵磁性耦合(anti-ferromagnetic coupling)的狀態，而當外加一強磁場時所有的磁矩都以平行磁場方向排列，磁阻的變化便是指在這兩個狀態下的磁電阻差別，剛開始GMR的特性被用在磁感測元件上^[2-4]，直到1997年後才被廣泛應用於磁記錄讀取頭上以提高磁記錄的密度。而1995年TMR穿隧磁阻(Tunneling Magnetoresistance: TMR)^[5]特性的發現將自旋電子的世界推向另一個嶄新的未來，TMR結構為兩層磁性層中間夾一層極薄的絕緣層，同樣在室溫條件下其產生的磁阻變化遠大於GMR，且中間絕緣層的夾層一般只需厚度1nm~1.5nm的 Al_2O_3 ^[6]。這兩種特性的發現成就了夢幻記憶體MRAM(Magnetic Random Access Memory: MRAM)的產生，該記憶體是一種利用具高敏感度的磁電阻材料所製造的記憶體，是一種新穎的非揮發性(Non-Volatile)記憶體，其特性在於此記憶體不論是在寫入或讀取的速度^[7-9](約為10ns)上皆可媲美靜態隨機存取記憶體(Static Random Access Memory: SRAM)；同時在記憶容量(約為1GB)方面更可與動態隨機存取記憶體(Dynamic Random Access Memory: DRAM)相抗衡，將來並可提升密度以及速度一數量級以上。因此，被公認為是極具發展潛力，有機會取代DRAM，SRAM等所有半導體記憶體的新

一代記憶體，而備受市場注目。此外，由於MRAM可以與現有的CMOS製程整合，ITRS(International Technology Roadmap for Semiconductors)已將其列為最新的下一代記憶體，短期內主要的應用在於取代攜帶式產品，如手機、PDA及數位相機內的Flash，2010年後則以取代高性能的DRAM為主要目標。

二、MRAM的全球發展現況

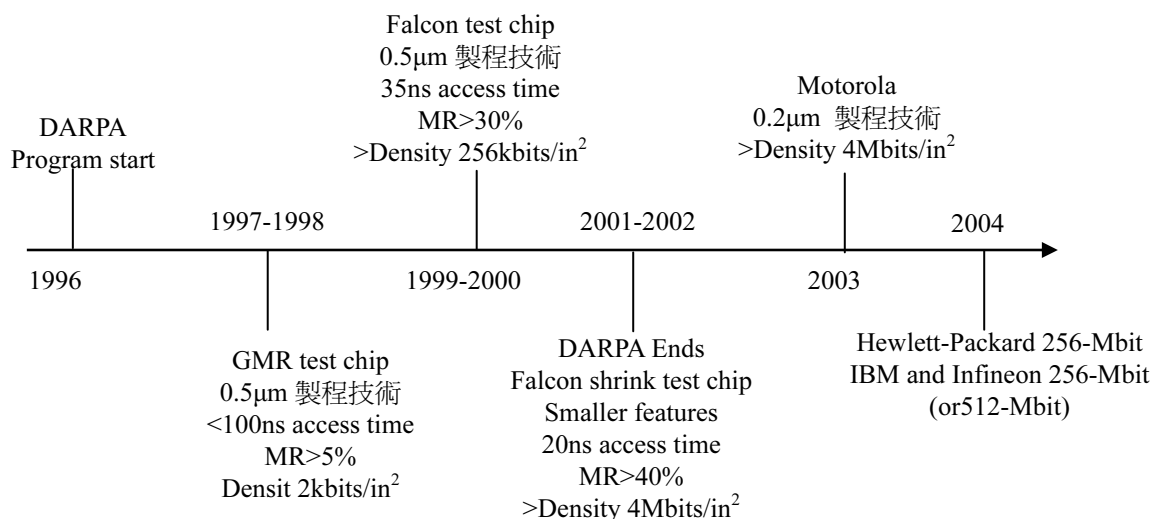
MRAM主要是利用電子的自旋特性，透過磁性結構中自由層的磁化方向不同所產生之磁阻變化來記錄訊號的“0”與“1”，其運作的基本原理與在硬碟上存儲數據一樣，所儲存的資料具有永久性，直到被外界的磁場影響之後，才會改變這個磁性數據。其耗能低及反應速度快的特性，和SRAM相同，而其積集度高，和DRAM相同。換句話說，MRAM具備了SRAM和DRAM共同的優點，所以一般預測，MRAM在市場上取代這兩種記憶體的機會是指日可待的。

事實上MRAM的基本概念早於1972年已被提出，不過直到1992年才由Honeywell製作成原形展示。早先期MRAM的位元是利用異向性磁阻的特性(AMR)製作出三層結構permalloy($\text{Ni}_{81}\text{Fe}_{19}$)/tantalum nitride/permalloy^[10-13]，並定義未加磁場前與加磁場後的阻值差異為磁阻比值MR%(magnetoresistance ratio)。讀取的方式主要是依靠磁阻不同所造成的電位變化來判別“0”與“1”的訊號，電位的變化率可達20%-30%，對感測訊號而言這樣的變化率算小^[14]，且降低位元尺寸時會因為位元的邊際效應(edge curling effect)造成訊號更小，此邊際效應指的是位元邊界所產生的渦流磁區現象，會造成即使提供外加磁場依然

無法使得磁區達到翻轉並使得輸出雜訊提高，若位元末端改為尖細結構將可降低此邊際效應^[15]。以AMR為結構製作的MRAM元件其實用性受到相當的限制，直到發現了巨磁阻(GMR)以及穿隧式磁阻(TMR)，MRAM的開發才又有了新的進展並且越來越蓬勃。

目前世界各國對於MRAM的研發都投以國家級的力量支持，以美國為首的廠商（如IBM, Motorola, Hewlett Packard, NVE, Cypress, Honeywell等）及日本產商(如NEC, Sony, Sharp, Toshiba等)現在正急速展開以MRAM為主的下一代記憶體的研究。另外，韓國電子大廠Samsung也積極的加入MRAM研發的行列。圖一所示為MRAM的世界發展技術路程圖。其中NEC在2001年12月於美國舉行的半導體製造技術國際研討會“2001 International Electron Devices Meeting (2001

IEDM)”上發表了以0.1 μm 製程設計的TMR元件的研究成果。NEC對試製品所做的一連串試驗包括：使脈衝電流經過位線 (bit-line)，通過位線形成的磁場來寫入存儲單元中的數據，並讀出數據。試驗結果證明即使是微小的儲存單元也可以在一個脈衝週期的50 μs 內完成讀出和寫入動作。此次試製的TMR元件的短邊長度僅為0.1 μm ，如果換算成單一儲存元件之容量的話，相當於1Gbit以上。在其它的試驗中，NEC還確認可透過減小TMR結構使用的自由層（上端的磁性層）膜厚以及減小TMR結構的長寬比來減小開關磁場。如果做成自由層膜厚為3nm、TMR結構長寬比為1.4的儲存單元的話，儲存單元的寫入電流值大約可降低到3mA。



圖一、為MRAM的技術路程圖

Sony於2002年在荷蘭阿姆斯特丹舉辦的磁記錄國際會議“Intermag2002”上，發表了採用0.35 μm 規格的CMOS技術製造的MRAM儲存陣列。該公司試製的儲存陣列的最大容量為8KB，採用1TMR元件（或者MTJ）和1個電晶體構成的儲存單元結構。在本次發表中，Sony表示由於在TMR元件的自由層中採用了CoFeB的非結晶膜，因此減少了儲存單元之間的存儲、讀取特性的失真。而此前發表的MRAM通常採用CoFe及CoFe/NiFe等作為自由層材料。讀取特性方

面，Sony表示使用CoFeB材料可以使相當於“0”和“1”的輸出級別更加明確地分為2個部分。由於在自由層中採用了CoFeB，使得MR比值大幅度增大。比如，薄膜的結構為(Co₇₅Fe₂₅)₈₀B₂₀/AlOx/CoFe/Ru/CoFe/PtMn，大小為0.6 μm ×1.2 μm 的TMR元件的MR比在偏壓為100mV時約為55%，在偏壓為300mV時約為40%以上。另一方面，關於儲存特性，對相鄰4個單元的星型線進行測試後發現，採用CoFeB作為自由層，膜厚為2nm~4nm時，可以降低交換層磁場的失真。

而Motorola的半導體事業部(SPS)和實驗室則於2002年科技與電路超大型積體電路座談會[2002 VLSI (Very Large Scale Integration) Symposia on Technology and Circuits]中，聯合發表第一款百萬位元(1Mbit) MRAM通用記憶體晶片，利用0.6 μm 製程做出讀寫時間50 ns且1Mbits/in²的MRAM測試晶片，2003年12月於美國召開的「2003 IEEE International Electron Devices Meeting」國際半導體製造技術會議上，與Digital DNA實驗室率先發表採單一電晶體和磁隧道接點(Magnetic Tunneling Junction)結構、存取速度及效能大增的MRAM，採取0.18 μm CMOS製程，並已推出全球第一顆4Mbit的MRAM，計劃自2004年開始廣泛地提供樣本並且量產，此舉奠定了產業的一個里程碑，也再次鞏固了Motorola的領導地位。

Toshiba與NEC於2002年開始聯合開發MRAM產品。在2003年舉行的“電子信息通信學會集成電路研究會”上，雙方公開了1Mbit和1Kbit兩種MRAM的試製產品。這是繼2002年6月Motorola之後，第二家公佈1Mbit MRAM的試製品。此次試製的1Mbit MRAM的規格如下：TMR單元部分使用0.6 μm 製程技術、其它部分為0.25 μm ，MRAM面積為6.4mm \times 5mm，單一儲存位元面積為6.55 μm^2 ，電源電壓為+2.5V，TMR單元的電阻為30k Ω ，MR比為22%。此次的成果在技術上有兩大關鍵之處。第一，通過更精密的製程加工技術製作出MRAM元件並成功確認了1Mbit MRAM的正常動作。TMR單元的形狀採用可控制設計，避免了TMR單元的短路。此前的TMR單元的加工過程中，飛濺出來的物質容易導致TMR單元的短路，造成隧道隔層(Tunnel Barrier)的損壞。同時，1Mbit的試製MRAM中還使用了減少切換磁場損耗的技術。通過改善構成TMR單元的磁性薄膜製造技術，自由層的磁化更容易沿易磁化的軸向進行。第二個關鍵之處是導入了覆蓋有磁性體的寫入用的word線和bit線的磁束集中結構，也就是將寫入用word線和bit線分別以磁性體包住，使得即使在微小的寫入電流值下也能有效地提供寫入用的磁場，其構造如圖二所示，與原來未使用磁束集中結構時相比，可將寫入時的工作電流降至1/3以下。Toshiba與

NEC並預計2005年投資超過100億日幣發展MRAM量產技術，最初將量產容量定在256Mbits/in²，以取代DRAM之主流市場。

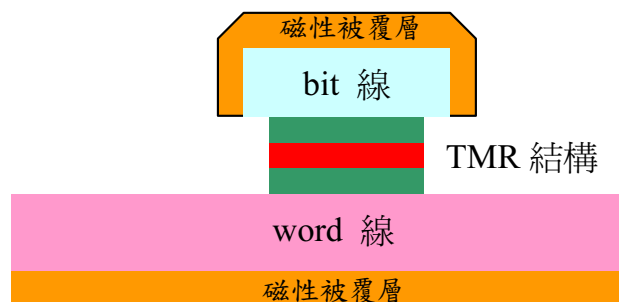
2004年美國NVE公司和日本ANELVA公司於美國加州阿那罕姆市(Anaheim)召開的磁記錄國際會議“9th Joint MMM-intermag Conference”中分別發表了開發成功室溫下磁阻率(MR比)高達70%的TMR元件，大幅提高MRAM讀寫的可靠性，此前的磁阻率大約為50%。在磁化固定層和自由層上全都採用Co-Fe-B。通過採用Co-Fe-B，提高了夾在磁化固定層和自由層之間的絕緣膜(氧化鋁)的親和性。在NVE之後發表產品的ANELVA，在此次會議召開前原本發佈的技術聲明中表示：“室溫下MR比已高於60%”。但因NVE發佈的技術中聲稱已達到70%，或許是受到了NVE的刺激，ANELVE在發佈會上表示“我們對技術概要的標題做了些調整，已改為：室溫下已達到70%”，造成會場一片沸騰。其實，此前該公司已在2003年12月的半導體設備展“SEMICON Japan 2003”上已宣佈達到70%。不過，當時沒有公佈自由層的材料。

目前全球對於MRAM的研發投入都以國家級的力量支持，美國以國防部的DARPA(Defense Advanced Research Projects Agency)計畫支持，目前包括IBM、Infineon及Motorola是進度最快的公司，且宣稱2004年將推出256Mbits/in²或512Mbits/in²級的產品。韓國也是以國家型的Tera-level nanodevices計畫支持，Samsung是當中動作最積極的公司，預計2005~2006年之間可推出產品。日本也有國家型計畫支持，計畫成員公司包括Sony、Toshiba及NEC等，且宣稱2004年可以推出MRAM的成品。因此總結看來，MRAM若更能進一步達到低成本與高密度的目標，取代Flash與DRAM既有的市場，將輕而易舉。

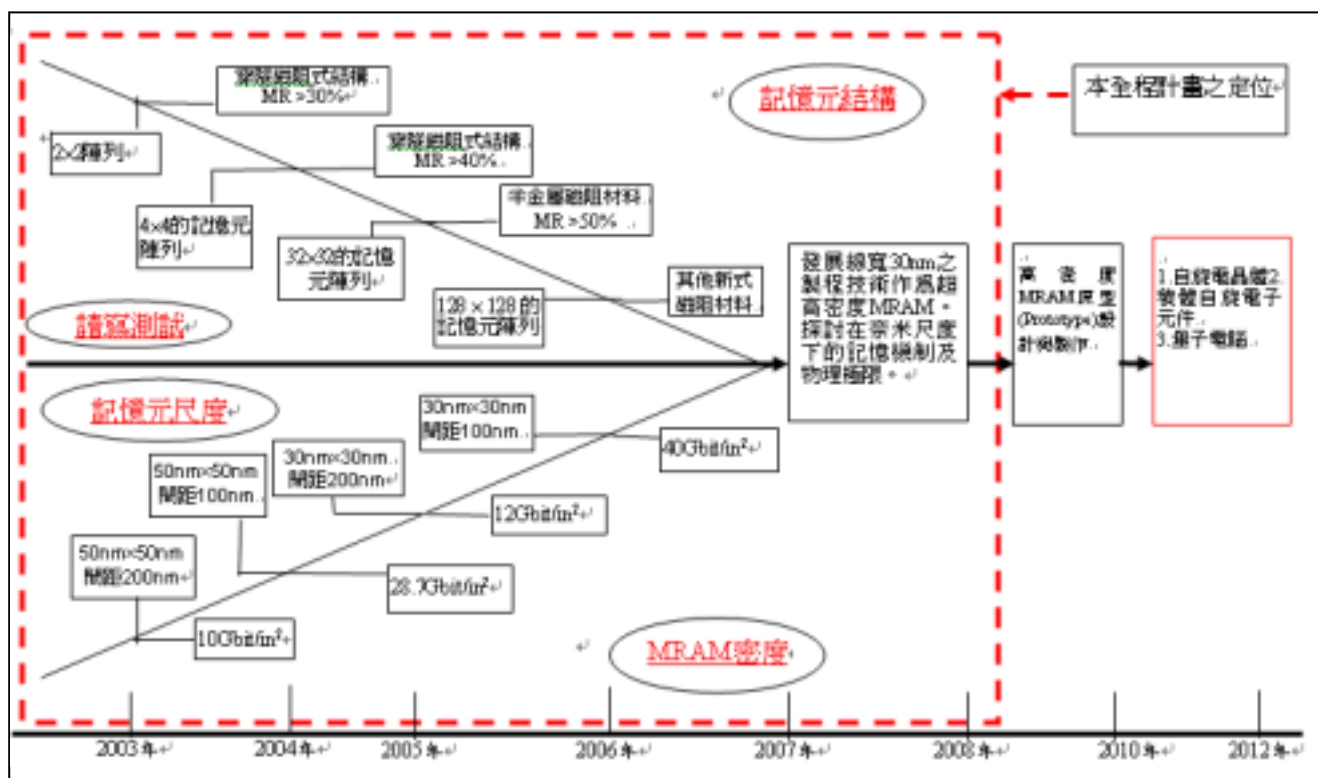
而台灣目前亦有國家型的計劃積極投入MRAM的研究領域中。除了經濟部技術處所支持的學界科專計畫，由雲林科技大學、中正大學、及彰化師範大學共同成立『台灣自旋科技研究中心』，並進行「高密度磁阻式隨機存取記憶體之核心技術研發計畫」外，

工研院電子所亦規劃「磁性記憶體關鍵技術發展五年計畫」。「台灣自旋科技研究中心」的主要目標是發展奈米位元(30-50nm)MRAM的蝕刻及讀寫的技術,我們主要的技術路程圖如圖三所示。而電子所主要研發內容包括多層膜的成長、磁性材料蝕刻技術及製作流程的開發、以及如何導入CMOS製程及規劃完整積體電路。兩計畫的最終目標是在台灣建立起磁性記憶體的自我研發能力。另外,工研院電子所更於2004年宣佈,結合台積電的前段製程技術與電子所的后段製程,成功開發出1KB MRAM雛型的完整製程與電路功能驗證,後續將進行MRAM記憶體與系統晶片整合技術的開發。台灣學界及法人在MRAM元件上的開發上

不遺餘力,但業界的努力稍嫌不足,若將來欲成為國際性自旋電子學與MRAM的研究重鎮,產官學方面的合作還有待加強。



圖二、為NEC/東芝在1Kbit MRAM中導入了磁束集中結構



圖三、為本中心高密度磁阻式隨機存取記憶體之核心技術研發技術路程圖

三、MRAM 的讀寫原理

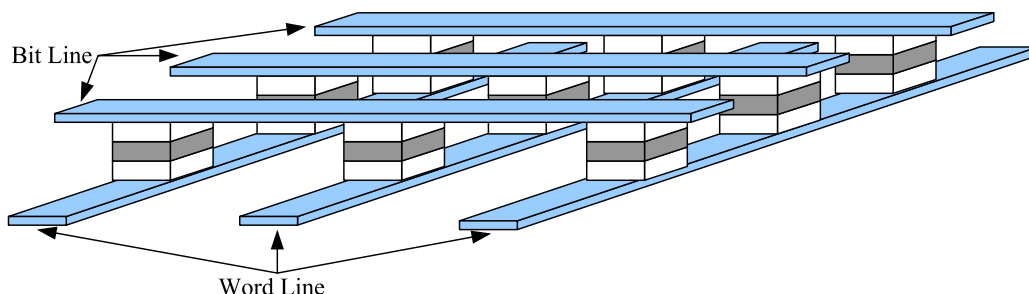
目前各國在MRAM相關的研究上,就記憶元來說,有採用GMR與TMR;雖然就原理來說,兩者其實差不多,但使用TMR的MRAM更能實現高速化,在實用性方面來說這是非常有利的,因此TMR型MRAM是

將來發展的趨勢。以下就簡單的說明MRAM的讀寫機制。

MRAM的寫入機制是利用上下兩層XY軸向的導電金屬層,中間夾著穿隧式磁電阻(TMR)或是巨磁電阻(GMR)的記憶元(cell)。最上面的導電金屬層稱為位

元線(Bit Line)，最下面的金屬層稱為字元線(Word Line)，基本構造圖如圖四所示：當位元線通過一脈衝波時，此時自由層(free layer)的磁化方向因為受到位元線上的電流所感應的磁場影響而偏移一方向。若此時

也在字元線上加一脈衝電流，使得所感應的磁場完全改變自由層的磁化方向，如此一來，兩鐵磁性層的磁化方向為順向排列(因磁電阻低，可令其為0)或反向排列(因磁電阻較高，可令其為1)。



圖四、磁阻式隨機記憶體(MRAM)的結構圖，在記憶元的上下各有一層導線，用來控制單一記憶元的翻轉。

若將上下兩層導線均通以電流，則可視為記憶單元(cell)置於相互垂直的磁場中(H_x , H_y)。假設記憶單元中自由層部分的磁化方向為 X ，則當 H_y 為零時，自由層中的矯頑場 H_c (coercivity)為最大。但隨著 H_y 的增加，自由層中的矯頑場會慢慢的被抵銷掉，最後磁化方向會翻轉過去，這便是MRAM寫入的機制。若要在其中一個記憶元(cell)寫入資料，例如第 I 行第 J 列，則將電流通過第 I 行的字元線，但此時電流如果加太大，則會使字元線上的自由層通通翻轉，所以外加的電流只比臨界值(Threshold Value)要低一點，此時再加上一小電流到第 J 列的位元線就會使的此記憶元的自由層磁化方向翻轉。一般寫入機制是以 H_c - H_h (易軸-難軸)平面星狀圖 (Asteroid) 為依據，如圖五所示為星狀圖，當 X 或 Y 軸其中一軸的電流加到一臨界值時，另一軸只要加一小電流值就可使自由層磁化方向翻轉。

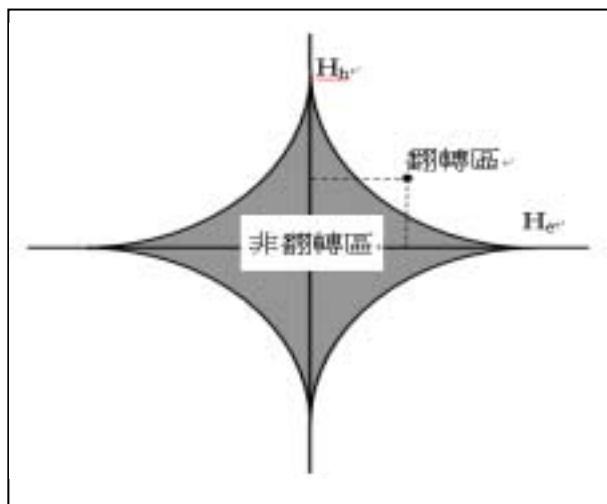
而其讀取機制如圖六所示，當一電流通過單位記憶元時，根據磁阻的狀態不同則所產生的 V_{out} 亦不同。如圖七所示，當兩鐵磁性層的磁化方向為順向排列時，因磁阻低故 V_{out} 較低；而兩鐵磁性層的磁化方向為反向排列時，磁阻較高所以 V_{out} 較高。根據 V_{out} 的高低狀態的不同便能判斷單位記憶元所儲存的資料為“1”或“0”。

四、MRAM 核心技術的發展現況

MRAM 的核心技術主要包括(1)高 MR 比值的磁性材料結構(2)降低位元尺寸(3)讀寫的架構及方法，詳細如下所述：

(一)磁性材料層的結構

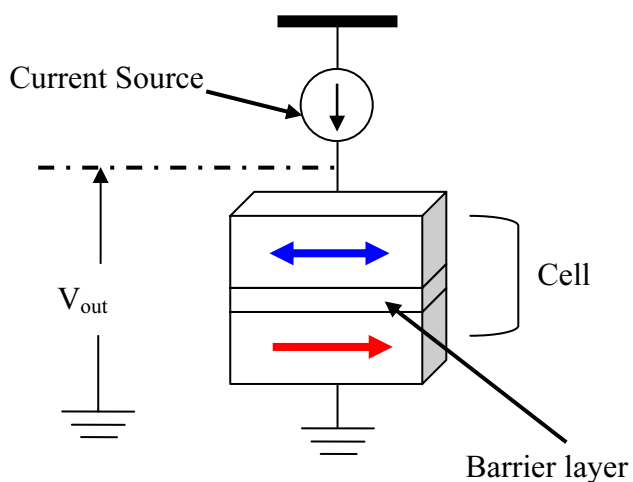
目前大多往 TMR 材料發展，TMR 多層膜之一大特點是在於兩層鐵磁層中有一層絕緣薄膜，厚度在幾個奈米以下，其主要結構如圖八所示。理論上許多不同的絕緣物質都可使用，不過報導中，最多的是氧化



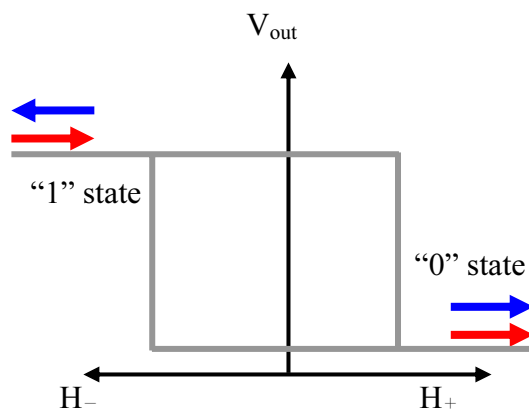
圖五、星狀圖 (Asteroid)：在星狀圖所圍的區域外，為磁化翻轉區。而在星狀圖的區域內，為磁化非翻轉區。

鋁(Al_2O_3)其次如 MgO 或其他氧化絕緣物質也偶有使用。目前國際間報導之 TMR 薄膜以金屬鐵磁層/絕緣層/金屬鐵磁層為主要結構，其中金屬鐵磁層部分可由 $\text{Fe}, \text{Co}, \text{Ni}$ 等作適當之調配而成。而絕緣層部分大多使用氧化鋁，雖然文獻中之磁阻質已達到 40%~70%，但仍有一些問題，其中最嚴重的有 2 項；一是電流的非線性效應也就是 MR 值與偏壓的大小有關，雖然理想

的 MR 比率可達~70%但改變電壓可能減小 MR 值。另外一個更嚴重的問題則是 TMR 薄膜的電阻太大 (~1K Ω)，因此電流很小，爲了要減少電阻值，最直接的辦法則是將絕緣層做薄。然而目前發現當絕緣層降至~7Å 時,有嚴重的短路現象發生，因此電阻降低則受到限制，造成 TMR 材料的最大困難。



圖六、讀取機制示意圖

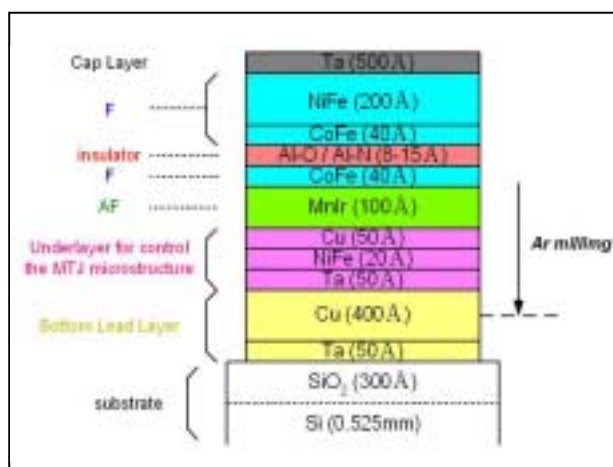


圖七、單位記憶元讀取輸出電壓（ V_{out} ）示意圖

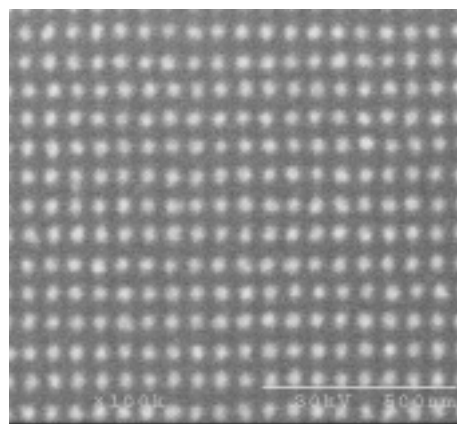
(二)降低位元尺寸

縮小每單一記憶元橫向尺度及記憶元間距是提高容量密度的唯一方式，此部份目前多利用電子束微影術、反覆對準製作、及使用電漿耦合乾式離子蝕刻之回蝕刻技術，來達到製作奈米尺度之記憶元陣列。結構設計部分，將包括橫向形狀及多層膜層狀結構的考量，以達到低電流讀寫及記憶元穩定的要求。而在

製程的部分：技術的突破在使用電子束微影技術並配合電漿耦合乾式離子蝕刻之回蝕刻技術，製作奈米尺度之記憶元及讀寫連接導線，與製程上相關的核心技術開發等。圖九顯示的是由台灣自旋科技研究中心彰師大團隊所製作的電子顯微鏡影像圖，顯示的是 30nm 直徑之舉離製程的點陣列。若以此為儲存密度換算的話，其儲存密度可以高達 180 Gbits/in²。



圖八、TMR 結構示意圖



圖九、電子顯微鏡微影圖，顯示的是電子束微影術配合舉離製程所完成之點陣列，可以看出點大小為 30nm，因此點直徑為奈米。事實上以此為儲存密度換算的話，其儲存密度可以高達 180 Gbits/in²。

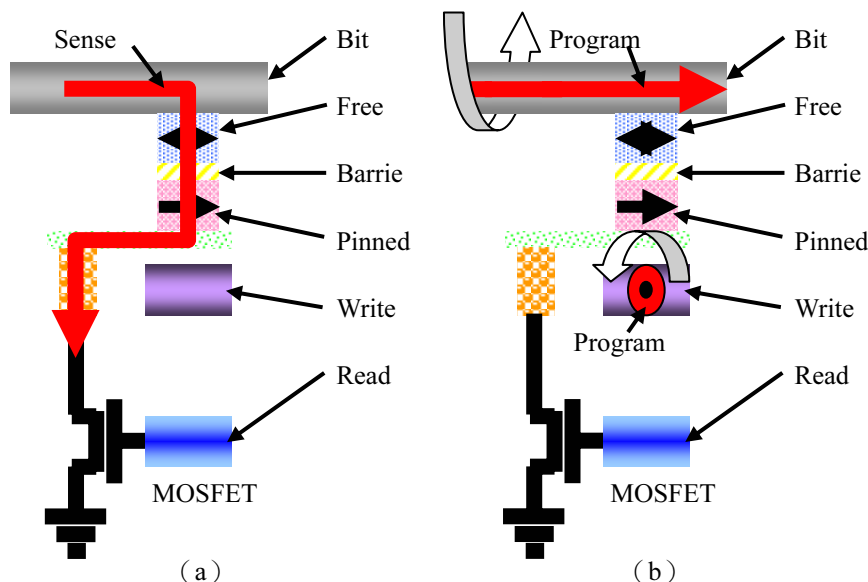
(三)讀寫的架構及方法

目前 MRAM 的讀寫機制有二種，一為 1T1MTJ (one Transistor one MTJ) 架構^[16-23]，即一個記憶元就連接一個電晶體 (MOSFET)，其工作原理與 DRAM 相似；另一為 XPC (Cross-Point Cell) ^{[1617][24]} 架構，與前者差別在於並非每個 MTJ 都接電晶體。在讀寫比較上，XPC 讀取較 1T1MTJ 困難，但 XPC 所佔面積比較小；隨著 MRAM 往高密度發展，XPC 將是合適的解決方式。

圖十所示為 1T1MTJ 架構的 MRAM 讀寫機制，主要使用三條控制線來完成，分別為位元線 (Bit line, BL)、寫入字元線 (Write Word line, WWL) 及讀取字元線 (Read Word line, RWL)。寫入模式下，如圖十 (b) 所示，位元線與寫入字元線設為“高準位”，而讀取字元線設為“低準位”，此時 MOSFET 為截止狀態；此時通過位元線的電流會產生易軸磁場 (H_{easy})，而流經寫入字元線的電流產生難軸磁場 (H_{hard})，進而利用這兩個磁場來改變 MTJ 的狀態。對 MTJ 寫入“1”或“0”的動作是由位元線的電流方向決定，假設

位元線電流方向向右是對 MTJ 寫入“1”的狀態，那麼電流方向向左便是對 MTJ 寫入“0”的狀態。而寫入字元線在對 MTJ 寫入“1”或“0”時其電流方向可變也可不變，但通常是固定在同一方向。而在讀取模式時，如圖十 (a) 所示，首先讀取字元線設為“高準位”，而寫入字元線設為“低準位”，此時 MOSFET 為導通狀態；之後位元線送出檢測電流穿過 MTJ，最後透過 MOSFET 到地。從位元線端量測得對地電壓即可用來判斷 MTJ 所儲存的資料。

1T1MTJ 原本為一個 MTJ 接一個 MOSFET，但實際製程上為一個 MTJ 接二個 MOSFET，因為在製程上如此的做法很容易達到且不需增加製程程序，最重要的是如此一來能降低 MOSFET 的電阻 (二個 MOSFET 為並聯)，進而提升資料讀取時的可靠度。但採用 1T1MTJ 的架構時，其記憶元的大小與 DRAM 一樣都是由 MOSFET 決定，MTJ 的尺寸遠比 MOSFET 小。



圖十、1T1MTJ 記憶元，(a) 讀取模式，(b) 寫入模式

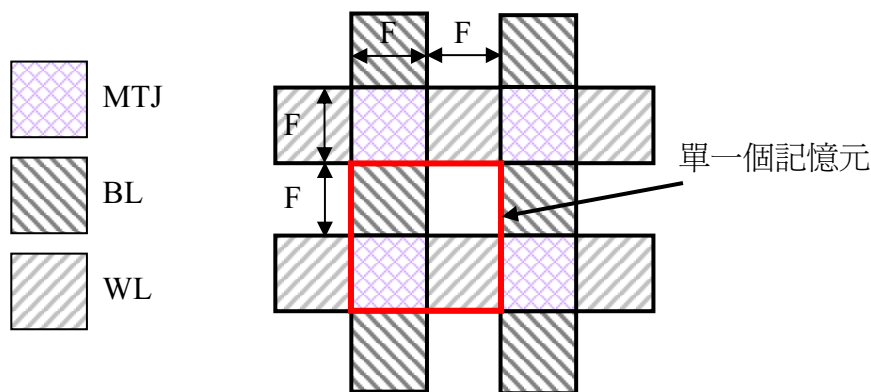
XPC 架構是另一種 MRAM 的讀寫機制，與 1T1MTJ 架構的差別在於 XPC 架構中的記憶元並無串

接一個 MOSFET，因此就架構上而言比較簡單。圖十一所示為 XPC 架構，其讀寫機制只使用位元線 (BL)

與字元線 (WL) 來完成；由於少了 MOSFET，因此其記憶元尺寸也大幅減少，如圖中所示，單一記憶元的尺寸大小只有 $4F^2$ ，比 1T1MTJ 架構少了一半。

其寫入機制與 1T1MTJ 相同，都是利用位元線與字元線同時施加電流來產生難軸與易軸磁場，進而改變 MTJ 的狀態。圖十二所示為 XPC 架構在寫入模式下的

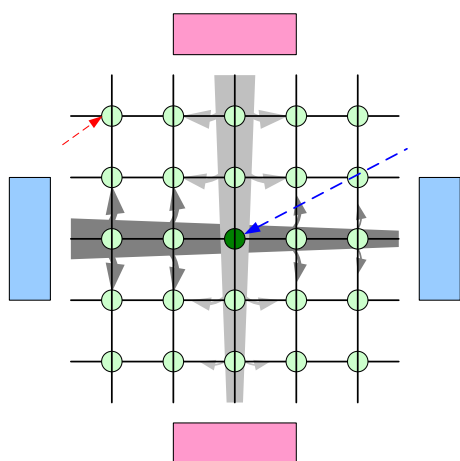
動作，例如要對第 i 行第 j 列的記憶元作寫入動作，便在第 i 行與第 j 列各加入電流，值得注意的是由於 XPC 架構其 MTJ 直接與位元線、字元線相接，不像 1T1MTJ 架構有電氣隔離，所以在寫入時電流可能會經由 MTJ 流失，導致電流會隨著位元線或字元線路徑變長而愈小，甚至小到無法完成 MTJ 寫入的動作。



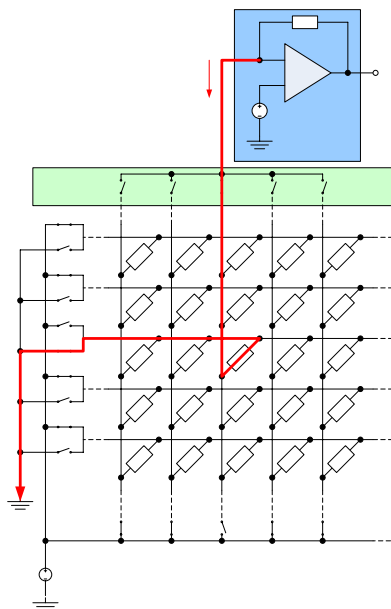
圖十一、XPC 架構單一記憶元示意圖

XPC 架構的讀取動作如圖十三所示，假設要讀取第 i 行第 j 列的記憶元的狀態，第一步將 j 列接至檢測放大器而 i 行接地，至於其他行列則接與第 j 列相同的電位 (V_{eq})，如此一來只有選擇的記憶元有電流 (I_{read}) 通過，其餘未選擇的記憶元因兩端為同電位故

無電流，再來將 I_{read} 轉換為電壓 (V_{out}) 即可將記憶元的狀態讀出，最後與參考位元 (Reference Cell) 的狀態比較便可知該記憶元所儲存的資料是 "0" 或 "1" 了。



圖十二、12 XPC 架構一寫入模式



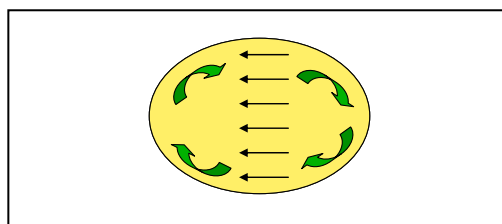
圖十三、XPC 架構一讀取模式

五、奈米尺寸 MRAM 發展瓶頸與可能解決方法

MRAM 是一個相當複雜及新穎的自旋電子集積元件，要達到超高容量密度及良好的整體表現，需要解決很多問題，如渦流現象、讀取寫入時的漏電流效應、消耗功率、熱穩定度等問題。尤其當位元尺寸到達奈米層級時，所要克服的瓶頸不單是如何製作還包含要如何提升讀寫效率等，究竟要如何才能夠得到最理想的 MRAM 成效，下面就針對 1T1MTJ(1 Transistor 1Magnetic Tunnel Junction)與 XPC(Cross Point Cell)^[24] 結構在奈米層級 MRAM 記憶位元所面臨到的四大問題進行剖析：

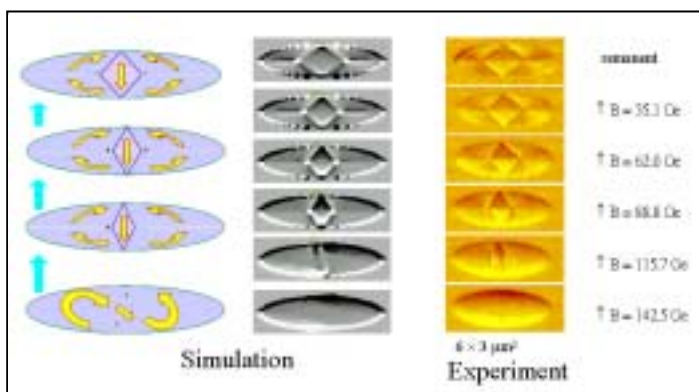
1.寫入技術方面：

(a)渦流效應(vortex)：以目前 1T1MTJ 結構的 MRAM 記憶位元所使用的材料依然以水平異向性的磁性材料為主，當記憶位元尺寸降低時最直接面臨到的技術問題是渦流效應(vortex)的影響，如圖十四所示，在水平式磁性記憶材料位元的兩側受限於磁區



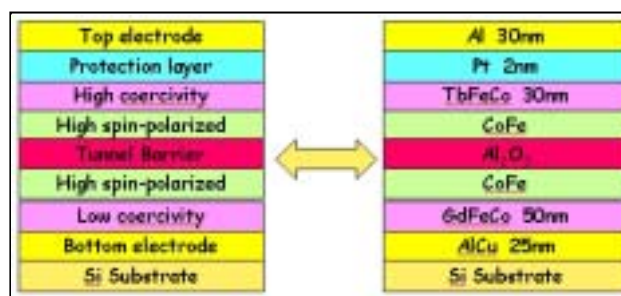
圖十四、水平式磁記憶單位元示意圖

的穩定性會呈現一漩渦狀的磁區，因此在奈米尺寸下磁位元的穩定性是否依然存在，磁矩的方向是否依然能夠保持，此效應將限制磁記錄的密度。解決的方法可改以採用垂直異向性的磁性材料製作磁記憶位元(PMTJ)，除了可解決渦流效應(vortex)的問題外，更可提高記錄的密度。^[25-26]圖十五所示為水平式磁性記憶材料橢圓位元在不同磁場下所形成的磁區情況。圖十六所示為 PMTJ 的架構示意圖。



圖十五、橢圓位元在不同磁場下所形成的磁區(磁場方向在短軸)(本圖由台大張慶瑞及彰師大吳仲卿教授提供)

(b)漏電流問題：XPC 架構是另一種 MRAM 的讀寫機制，與 1T1MTJ 架構的差別在於 XPC 架構中的記憶元並無串接一個 MOSFET，因此就架構上而言比較簡單。其讀寫機制只使用位元線 (BL) 與字元線 (WL) 來完成；由於少了 MOSFET，因此其記憶元尺寸也大幅減少，值得注意的是由於 XPC 架構其 MTJ 直接與位元線、字元線相接，不像 1T1MTJ 架構有電氣隔離，所以在寫入時電流可能會經由

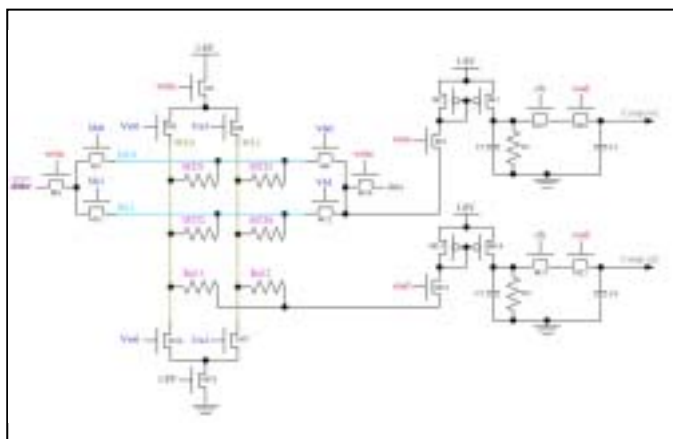


圖十六、PMTJ 的架構示意圖

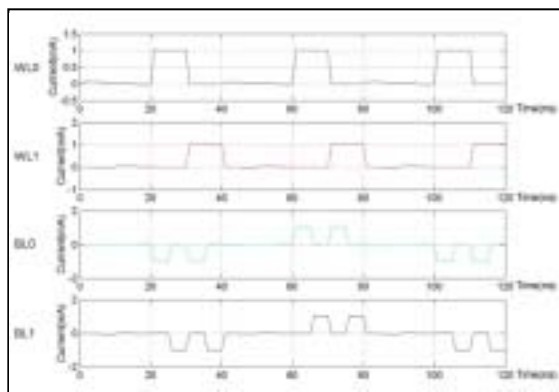
MTJ 流失，導致電流會隨著位元線或字元線路徑愈長而愈小，甚至小到無法完成 MTJ 寫入的動作。解決的方法可利用最佳化電路來改進。^[27]

圖十七所示為台灣自旋科技研究中心雲科大團隊所設計的 XPC 架構電路圖，而圖十八為其 XPC 電路模擬流經位元線與字元線的電流波形，用來確定在寫入模式時，流經 BL 與 WL 的電流是

否達到 1mA 使 MTJ 翻轉。



圖十七、XPC 架構電路圖



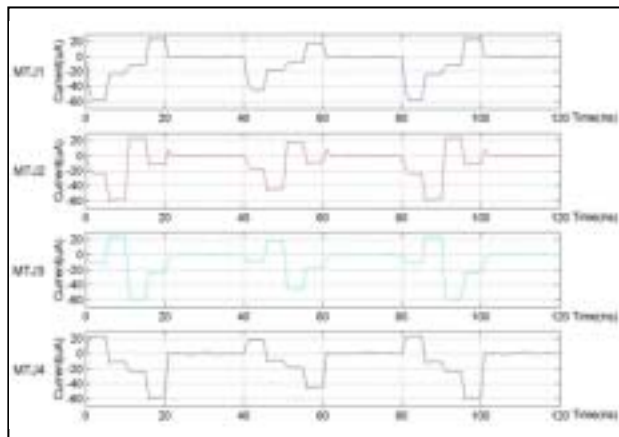
圖十八、XPC 電路模擬，流經位元線與字元線的電流波形

2. 讀取技術方面：

漏電流效應與功率消耗的提高：為了達到奈米級的記憶位元與提高單位儲存密度，採用 XPC 的結構方式是未來的走向，因為 1T1MTJ 的記憶元尺寸是取決於 MOSFET 的尺寸大小，因此很難達到奈米層級。雖然 XPC 結構的記憶元尺寸可達到奈米層級，但由於沒有像 1T1MTJ 具有電氣隔離的部份，因此不論是在寫入或讀取狀態下皆會有漏電流的產生，且又以讀取時所產生的漏電流效應影響更甚。而隨著記憶元陣列越大漏電流的效應越是顯著，因此造成整體的功率耗損上升，需要提供比一般 1T1MTJ 更大的功率才能夠使 XPC 讀寫電路正常運作。解決方法有二：一是提高磁阻值(改變氧化層或 TMR 整體結構)以降低漏電流，另一為改變讀寫電路架構以提高資料讀寫的準確度。圖十九為本中心模擬流經記憶元的電流情形，在讀取模式下，被選擇到的記憶元其通過的電流與 1T1MTJ 情形相同。而未被選擇到的記憶元，由於只採用二組解碼器且 XPC 架構的記憶元如同一電阻串並聯網路，所以也有電流通過。這將造成讀取的困難，因為檢測放大器的輸入訊號為前述二者之和。至於寫入模式時幾乎無電流通過記憶元，只有在記憶元切換時有些微電流產生。

3. 降低位元尺寸技術上：

(a) 過高的形狀長寬比: 對水平異向性磁性記憶位元而



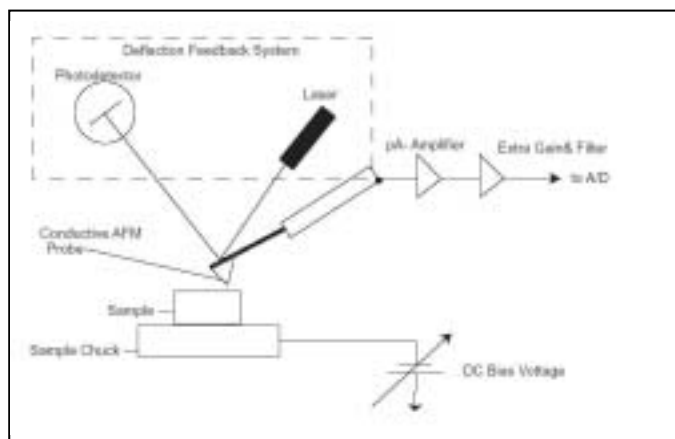
圖十九、XPC XPC 電路模擬，流經 MTJ 的電流情形

言，為讓磁區的位元穩定性，在位元製作上都採用橢圓形狀為主，以提高磁區的形狀異向。因此在位元大小上造成需要浪費較多的面積，在降低位元尺寸上有其限度。此部分若改採用垂直異向性的材料當記憶位元將可大幅改善面積的利用，可使橢圓位元改製作成圓形或方形位元結構，降低使用面積，以大幅提升記憶密度。

(b) 1T1MTJ 的結構難以製作：1T1MTJ 的結構可避免漏電流的問題，節省功率的損耗，但記憶密度遠不

及 XPC 結構，且在製作上必須與 MOSFET 半導體製程相互結合，製作困難度與耗費的時間、金錢高於 XPC 製程許多倍，因此建議改採 XPC 結構方式將提高經濟效益。

- (c)難以檢測磁/電特性：一旦位元尺寸降低要如何取得特定某位元的磁/電特性是一相當大的考驗，若能夠準確定位並迅速獲取資料將可大幅提高檢測效率，此部分建議可用 CAFM(Contact atomic force microscope)^[28]來達到，CAFM是結合原子力顯微鏡、I-V檢測與奈米定位功能的特殊儀器，除了可利用探針與樣品間的凡得瓦爾作用力取得樣品表面結構外，在接觸式探針(contact tip)上所附加的檢訊放大器(sense amplifier)可施加任意的微小偏電壓於樣品上，然後透過探針與樣品接觸後所反應出之電流訊號，取得材料表面結構與電流之關係曲線。CAFM可準確量測非常小的電流訊號其解析範圍可1pA至1μA，適用於量測要求高解析、微電流與微電壓的奈米元件。CAFM是一種高解析可快速並準確獲得量測元件資訊的檢測儀器，其功能包含：可量測樣品表面結構、磁區結構、量測I-V曲線、磁阻(MR)、RA、MTJs之穿隧電流(tunneling current)等等。圖二十所示為CAFM量測原理示意圖，圖二



圖二十、CAFM 量測原理示意圖

六、結論

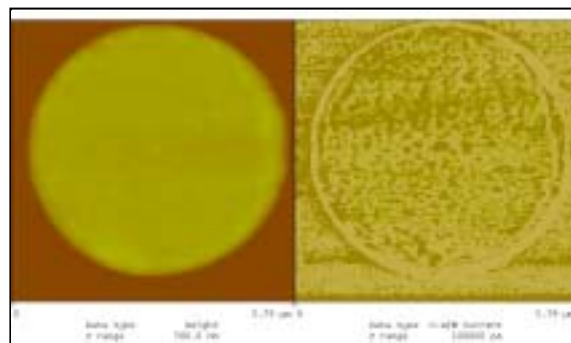
對 1T1MTJ 的結構而言，由於每個記憶元都接有 MOSFET，即每個記憶元可視為各自獨立，如此在讀

十一是台灣自旋科技研究中心雲科大團隊由 CAFM 所量測取得的單一位元漏電流示意圖，此圓形位元大小為直徑 5μm。

- (d)Cross talk：為了實現高密度的 MRAM，縮短記憶位元間間距是必要的；然而當記憶位元間間距縮短到一定程度時，相鄰的記憶位元在執行寫入動作的情形下相當容易相互干擾，即為所謂的 Cross talk。由於 MRAM 是利用磁場來寫入資料，而 stray filed 會影響到鄰近的位元，故 Cross talk 的問題是很難避免的。對於未來高密度 MRAM 的發展，如何隔離或降低記憶位元相互間的 Cross talk 效應則有待新的讀寫技術來解決。

4.熱穩定度改良技術上：

當磁性記憶位元尺寸不斷縮小下，磁矩方向易受到熱擾動的影響而出現不規則轉動，導致無法產生穩定磁區，此稱為超順磁現象(super-paramagnetic phenomena)。此部份建議可採用較高磁異向性材料(high anisotropic material， $K_u V > k T$ ； K_u 是磁異向性能量密度常數， V 為體積， k 為波茲曼常數， T 為絕對溫度)



圖二十一、由 CAFM 所量測取得的單一位元漏電流示意圖，左邊為 AFM 的表面結構圖；右邊為漏電流分佈狀況圖

或寫時記憶元間不會互相干擾，故雖然記憶元尺寸較大，但其對檢測放大器的要求也不用太高。

而 XPC 架構方面，因為省略了 MOSFET 所以其架構較簡單且記憶元的尺寸也較小，但也造成了記憶元

彼此間無電氣隔離，因此在讀寫時記憶位元間易造成相互干擾。尤其在讀取時漏電流的效應使得讀取較為困難，也使得電路功率消耗較大。當記憶元陣列愈大時漏電流的情形就愈嚴重，資料的讀取也愈困難，為了正確讀出資料，提升檢測放大器的精密度是必要的。

對於要求高密度、高速度、低成本與低功率消耗的現代來說，XPC 架構及 PMTJ 會是 MRAM 未來的主要架構，因為無論 CMOS 製程技術再先進，MOSFET 的尺寸都很難做的比 MRAM 記憶元的尺寸小。尤其現代對記憶體的要求愈來愈嚴苛，如何使用更少的 MOSFET 及用 PMTJ 來實現 MRAM 將是重要的課題。

參考文獻

- [1] Baibich M N, Broto J M, Fert A, Nguyen Van Dau F, Petroff F, Etienne P, Creuzet G, Friederich A and Chazelas J, *Phys. Rev. Lett.* **61** 2472, 1988.
- [2] Prinz G A, *Science* **282**, 1660, 1998.
- [3] Wolf S A, Awschalom D D, Buhrman R A, Daughton J M, von Moln'ar S, Roukes M L, Chtchelkanova A Y and Treger D M, *Science* **294**, 1488, 2001.
- [4] Parkin S S P *et al*, *Proc. IEEE* **91**, 661, 2003.
- [5] Moodera J S, Kinder L R, Wong T M and Meservey R, *Phys. Rev. Lett.* **74**, 3273, 1995.
- [6] Moodera J S and Mathon G, *J. Magn. Magn. Mater.* **200**, 248, 1999.
- [7] Parkin S S P *et al*, *J. Appl. Phys.* **85**, 5828, 1999.
- [8] de Boeck J and Borghs G, *Phys. World* **12**, 27, 1999.
- [9] Tehrani S *et al*, *Proc. IEEE* **91**, 714, 2003.
- [10] J. M. Daughton, "Magnetic tunneling applied to memory", *J. Appl. Phys.* 81 (8), 1997, p3758
- [11] J. M. Daughton, et al., "Magnetoresistive memory including thin film storage cells having tapered ends", US Patent 4,731,757, Mar. 15, 1988
- [12] J. M. Daughton, et al., "Magnetoresistive memory with multi-layer storage cells having layers of limited thickness", US Patent 4,780,848, Oct. 25, 1988
- [13] J. M. Daughton, et al., "Magnetic state entry assurance", US Patent 5,060,193, Oct. 22, 1991
- [14] J. M. Daughton, "Magnetic tunneling applied to memory", *J. Appl. Phys.* 81 (8), 1997, p3758.
- [15] J. M. Daughton, et al., "Magnetoresistive memory including thin film storage cells having tapered ends", US Patent 4,731,757, Mar. 15, 1988.
- [16] William Reohr, et al., 2002, "Memories of tomorrow", *Circuits and Devices Magazine, IEEE*, Vol. 18, pp. 17~27, Sept.
- [17] 吳品賢, 2001, "自旋電子相關研究報告", 中華民國磁性技術學會會訊, Vol. 27, 1卷, 頁 18~26。
- [18] D.J. Kim, et al., 2003, "High cell-efficiency synchronous MRAM adopting unified bit-line cache", *Electronics Letters*, Vol. 39, No. 16, pp. 1166~1167, August.
- [19] Edward K. S. Au, et al., 2004, "A novel current-mode sensing scheme for magnetic tunnel junction MRAM", *Transactions on Magnetics, IEEE*, Vol. 18.
- [20] Eun-Jung Tang, et al., 2004, "A sensing circuit for MRAM based on 2MTJ-2T structure", *Current Applied Physics*, pp.19~24.
- [21] Kouichi Yamada, et al., 2001, "A novel sensing scheme for a MRAM with a 5% MR ratio", 2001 Symposium on VLSI Circuit Digest of Technical Papers, pp. 123.
- [22] Roy Scheuerlein, et al., 2000, "A 10ns read and write non-volatile memory array using a magnetic tunnel junction and FET switch in each cell", *ISSCC Digest of Technical Papers*, pp. 128.
- [23] M. Durlam, et al., 2002, "A low power 1Mbit MRAM based on 1T1MTJ bit cell integrated with Copper Interconnects", *Symposium on VLSI*

Circuit Digest of Technical Papers, pp. 158~161.

- [24] Noboru Sakimura, et al., 2003, "A 512kb cross-point cell MRAM", ISSCC Digest of Technical Papers.
- [25] 黃虹雯撰，民國89年，"次微米鑄型鎳鐵磁膜的磁區結構與磁壁運動行為"，彰化師大物理研究所碩士論文
- [26] 劉家榮撰，民國 91 年，"磁性記憶元結構的製作與分析"，彰化師大物理研究所碩士論文
- [27] William Reohr, et al., 2002, "Memories of tomorrow", Circuits and Devices Magazine, IEEE, Vol. 18, pp. 17~27, Sept.
- [28] D. C. Worledge and David W. Abraham, "Conducting atomic-force-microscope electrical characterization of submicron magnetic tunnel junctions", APPLIED PHYSICS LETTERS, Vol 82, No 25, p4522~4524.(2003).

作者簡介

葉林秀：國立雲林科技大學工程科技博士班研究生，
背景電子工程，專長半導體與光電及材料檢測

e-mail: g8910807@yuntech.edu.tw

李佳謀：國立雲林科技大學工程科技博士班研究生，
背景電機工程，專長電路模擬與設計

e-mail: yorki@cool.url.com.tw

徐明豐：國立雲林科技大學工程科技博士班研究生，
背景化學工程，專長材料量測與分析

e-mail: g9010813@yuntech.edu.tw

吳德和：國立雲林科技大學光電工程研究所 暨 文理
通識學科教授 兼 人文科學學院院長，背景物理系，
專長物理及磁性材料與光電

e-mail: wuth@yuntech.edu.tw

歡迎刊登廣告

「物理雙月刊」是一份報導物理界動態發展之刊物，其內容深入淺出，涵蓋物理新知、物理專文、人物專訪、物理消息、研討會消息等專欄，為台灣物理界人士所熟知。若有需要，歡迎學校各系所或廠商利用本刊物刊登廣告，有意者請向物理學會李衷潔小姐聯絡。

TEL : 02-23634923